

Den Lagenaufbau einer Leiterkarte planen, Teil 3

von Barry Olney, IN-CIRCUIT Design (Übersetzung: Achim Schulte, tecnotron elektronik)
 Erstveröffentlichung in 'The PCB Design Magazine', Oktober 2015

Im letzten Teil der Lagenstapel Planungs-Serie werde ich Aufbauten mit mehr als 10 Lagen betrachten. Die Methodologie, die ich in den vorhergehenden Artikeln dargelegt habe, kann verwendet werden, um Boards mit höheren Lagenzahlen zu konstruieren. Im Allgemeinen enthalten diese Platinen mehr Flächen und daher können die mit Split-Power-Lagen verbundenen Probleme normalerweise vermieden werden. Außerdem erfordern 10 und mehr Lagen sehr dünne Dielektrika, um die Gesamtdicke der Leiterplatte zu reduzieren. Dies sorgt natürlich für eine enge Kopplung zwischen benachbarten Signal- und Flächenlagen, wodurch Übersprechen und elektromagnetische Emissionen reduziert werden. In schnellen digitalen Designs sind transiente Masseströme die Hauptquelle für unerwünschte Rauschspannungen als auch für Strahlungsemissionen. Um diese Emissionen zu minimieren, sollte die Impedanz der Masse minimiert werden, indem die Fläche der Induktionsschleife reduziert wird. Die Induktivität ist direkt proportional zur Länge des Leiters. Halten Sie daher die Schleifenfläche so kurz wie möglich.

Um die Induktivität zu minimieren, sollten zwei Leiter (Signalleitungen oder Masseebenen), die Strom in der gleichen Richtung führen, getrennt werden. Zwei Leiter, die Strom in die entgegengesetzte Richtung leiten (wie z. B. Signal- und Masseflächen oder Leistungs- und Masseflächen), sollten jedoch so nah wie möglich positioniert werden. Beide Fälle helfen auch, Übersprechen zu vermeiden.

Hier sind einige zusätzliche Regeln für das Hochgeschwindigkeitsdesign:

1. Verwenden Sie möglichst mehrere Masselagen anstelle von Versorgungslagen im Aufbau, um Signallagen zu isolieren.
2. Platzieren Sie die Masse-Vias in der Nähe jedes Signal-Vias, um einen kurzen Stromrücklaufpfad zu erhalten.

3. Verteilen Sie zahlreiche Masse-Vias um die Platine, um die Masselagen über einen niederohmigen Pfad zu verbinden.
4. Verwenden Sie kein Massepotential auf Signallagen, da dies die Impedanz von in der Nähe befindlichen Leiterbahnen verringert.

Wenn Versorgungslagen als Referenzflächen verwendet werden, muss der Rückstrom Kondensatoren aufweisen, um zwischen Masse- und Versorgungslage zu springen. Der Strom, der durch diese Kondensatoren fließt, erzeugt einen Spannungsabfall über diese. Diese Spannungen können zu System-Rauschproblemen beitragen.

Ermitteln der erforderlichen Schichtanzahl: die Frage Nummer eins!

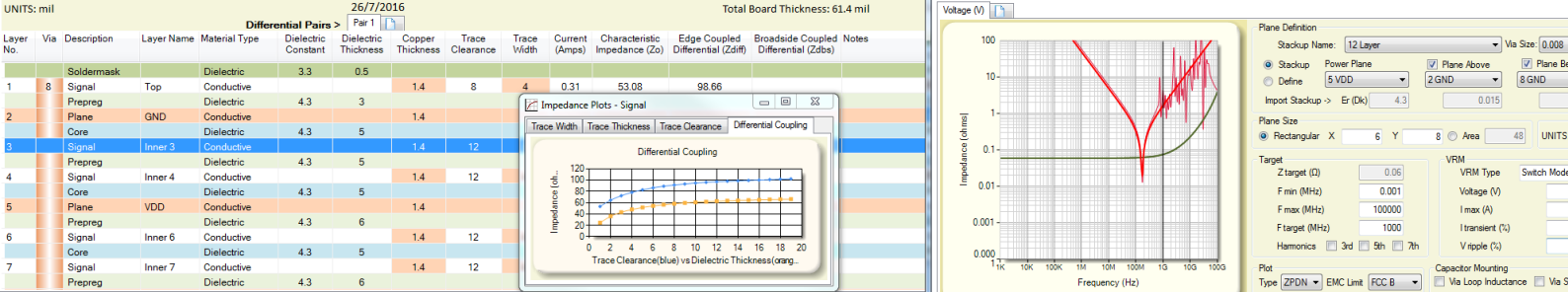
Im Laufe der Jahre haben eine Vielzahl von Personen Gleichungen aufgestellt, um die Leiterbahndichte zu bestimmen. Rent's Regel ist ein solches Modell.

$$Trace\ Pitch = \frac{\sqrt{X \cdot Y}}{n} \cdot 2.7M$$

Wobei: N die Anzahl der Netze ist
 X und Y die Platenbreite und -länge in Inch sind
 M die Anzahl der Routing-Lagen ist

Viel Glück, wenn man von solchen Gleichungen irgendwelche ernsthaften Ergebnisse erhalten will. Es gibt einfach zu viele Variablen, um einen solchen grundlegenden Ansatz zur Bestimmung der Schichtanzahl zu verwenden. Das ist mein Ansatz:

Wie bei Rent's Regel, fange ich mit dem Leiterbahnabstand an. Technologieregeln basieren auf dem minimalen Raster der verwendeten SMD-Komponenten und sind im Grunde die größte erlaubte Leiterbahnbreite, Abstand und Durchkontaktierung, bei gleichzeitiger Minimierung der PCB-Herstellungskosten. Für komplexe Hochgeschwindigkeits-



Designs, die BGAs enthalten, sind im Allgemeinen eine Technologie von 4/4 mil (Leiterbahnbreite/Abstand) und Vias von 18/8 mil (Pad/Bohrung) erforderlich. Wenn Sie jedoch weniger anspruchsvolle Abmessungen verwenden können, reduziert dies die Kosten und verbessert die Fertigungsausbeute.

Sobald diese Regeln festgelegt sind, berechnen Sie den für die gewünschte charakteristische Impedanz (Z_0) und die differentielle Impedanz (Z_{diff}) erforderlichen Lagenaufbau gemäß den Komponenten-Datenblättern. Im Allgemeinen werden 50/100 Ohm Z_0 / Z_{diff} verwendet. Denken Sie daran, dass eine niedrigere Impedanz das dI / dt erhöht und den aufgenommenen Strom dramatisch erhöht (Was für das PDN nicht gut ist). Während eine höhere Impedanz mehr EMI emittiert und das Design anfälliger gegenüber Störungen von außen macht. Ein guter Bereich von Z_0 , für ein digitales Design, ist 50-60 Ohm.

Die Gesamtzahl der für ein bestimmtes Design erforderlichen Lagen hängt von der Komplexität des Designs ab. Die Faktoren umfassen:

- Die Anzahl der Signalnetze, die aus einem BGA herausgeführt müssen.
- Die Anzahl der Netzversorgungen, die von den BGAs benötigt werden.

- Wenn BGAs von 0,8 mm oder weniger vorhanden sind, behindern Via's mit Durchkontaktierung (PTH) das Routing.
- Bei Leiterkarten mit hoher Lagenanzahl erhöht die Via-Aspect-Ratio den Durchmesser der Vias. Das Verhältnis von Tiefe zu Loch sollte weniger als 8:1 betragen oder die Zuverlässigkeit nimmt deutlich ab. In diesem Fall kann eine Kombination aus PTH und Blind- and Buried-Vias erforderlich sein.

Erfahrene PCB-Designer bekommen nach einiger Zeit ein Gefühl dafür, aber eine gute Möglichkeit um zu überprüfen, ob Sie genug Lagen haben, ist das Autoroute des Boards. Ohne Optimierung muss der Autorouter mindestens 85% der Leitungen vervollständigen, um anzuzeigen, dass der ausgewählte Aufbau routbar ist. Die Leistung des Autorouters beeinflusst auch die Abschlussrate. Möglicherweise müssen Sie die Platzierung mehrmals neu bewerten, um die besten Ergebnisse zu erzielen. Im Allgemeinen sind 8 Lagen ein guter Ausgangspunkt für DDR-Designs. Denken Sie daran, es ist viel einfacher, die Anzahl der Lagen zu erhöhen, als sie zu reduzieren. Beginnen Sie daher mit dem Minimum.

Layer No.	Via Span & Hole Diameter	Description	Layer Name	Material Type	Dielectric Constant	Dielectric Thickness	Copper Thickness	Trace Clearance	Trace Width	Current (Amps)	Characteristic Impedance (Z_0)	Edge Coupled Differential (Z_{diff})	Broadside Coupled Differential (Z_{dbs})
1	8	Soldermask	Top Layer	PSR-4000 HFX Satin / CA-40 HF LPI (1GHz)	3.5	0.5							
		Signal	Top Layer	Conductive			1.38	10	4.5	0.34	52.11	99.44	
		Prepreg		N4000-13; 106; Rc=75% (2.5GHz)	3.19	2.63							
2		Plane	GND_TOP	Conductive			1.38						
		Core		N4000-13; 1080; Rc=61.2% (2.5GHz)	3.4	3							
3		Signal	MidLayer3	Conductive			1.38	12	4	0.31	52.16	98.69	95.35
		Prepreg		N4000-13; 2116; Rc=55% (2.5GHz)	3.56	5.58							
		Prepreg		N4000-13; 3313; Rc=58% (2.5GHz)	3.50	4.32							
		Prepreg		N4000-13; 2116; Rc=55% (2.5GHz)	3.56	5.58							
4		Signal	MidLayer4	Conductive			1.38	12	4	0.31	52.16	98.69	95.35
		Core		N4000-13; 1080; Rc=61.2% (2.5GHz)	3.4	3							
5		Plane	GND	Conductive			1.38						
		Prepreg		N4000-13; 3313; Rc=58% (2.5GHz)	3.50	4.32							
6		Plane	PWR	Conductive			1.38						
		Core		N4000-13; 1080; Rc=61.2% (2.5GHz)	3.4	3							
7		Signal	MidLayer7	Conductive			1.38	12	4	0.31	52.16	98.69	95.35
		Prepreg		N4000-13; 2116; Rc=55% (2.5GHz)	3.56	5.58							
		Prepreg		N4000-13; 3313; Rc=58% (2.5GHz)	3.50	4.32							
		Prepreg		N4000-13; 2116; Rc=55% (2.5GHz)	3.56	5.58							
8		Signal	MidLayer8	Conductive			1.38	12	4	0.31	52.16	98.69	95.35
		Core		N4000-13; 1080; Rc=61.2% (2.5GHz)	3.4	3							
9		Plane	GND_BOT	Conductive			1.38						
		Prepreg		N4000-13; 106; Rc=75% (2.5GHz)	3.19	2.63							
10		Signal	Bottom Layer	Conductive			1.38	10	4.5	0.34	52.11	99.44	
		Soldermask	Bottom Layer	PSR-4000 HFX Satin / CA-40 HF LPI (1GHz)	3.5	0.5							

Bild 1: Eine 10-Lagen Konfiguration unter Verwendung von Nelco N4000-13 2.5GHz Material.

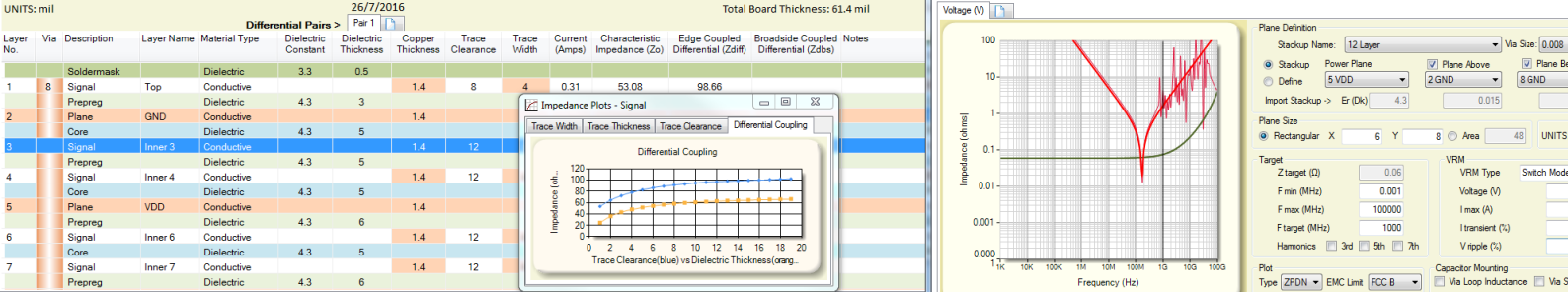
- Die Komponentendichte und die Gehäuse-typen.

10-Lagen-Aufbau

Eine 10-Lagen-Leiterplatte ist ähnlich einer 8-

tecnotron elektronik gmbh, Wildberger Halde 13, D-88138 Weißenberg

Telefon: 08389/ 9200 – 100, E-Mail: info@tecnotron.de, Web: www.tecnotron-software.de



Lagen-Leiterplatte mit zwei weiteren eingebetteten Signallagen. Diese werden verwendet, um die Routingfähigkeit zu erhöhen und eine planare Kapazität hinzuzufügen. Ich habe Nelco N4000-13 2GHz Material verwendet (Bild 1). Dies ist ein weiteres gebräuchliches Highspeedmaterial. Der Aufbau bietet Platz für 50/100 Ohm Digital, 40/80 Ohm DDR3 und 90 Ohm USB. Außerdem habe ich eine Kombination aus PTH und Blind- und Buried-Vias mit geeigneten Seitenverhältnissen für eine Gesamtplattendicke von 60,82 mils gewählt. In diesem Fall können die internen Lagen 3, 4, 7 und 8 für das DDR3-Routing verwendet werden, da drei dieser Lagen auf GND bezogen sind, während die andere (Lage 7) auf das 1,5 V DDR3 PDN (oder 1,35 V) von Geräten mit geringerer Leistung bezogen ist). Die Stromversorgungsfläche der Lage 7 kann eine 1,5 V-Insel direkt über den DDR3-Geräten haben. Mit einem Dielektrikum von 4,32 Milli-Inch zwischen den Ebenen ergibt sich auch eine hervorragende planare Kapazität von etwa 240 pF / in². Dies wird die Wechselstromimpedanz des DDR3 PDN bei Frequenzen von etwa 1 GHz reduzieren, was für diese Art von Entwurf erforderlich ist.

Die äußeren Microstrip-Lagen sollten nicht zum Routing verwendet werden - mit Ausnahme von Fanouts. Abgesehen davon, dass äußere Lagen mehr als innere Lagen ausstrahlen, variieren sie auch beträchtlich in der Impedanz. Dies liegt an der unebenen Plating-Dicke des abschließenden Elektrolyseprozesses, der verwendet wird, um die Via-Bohrungen während der Herstellung durchzukontaktieren. Blind Vias können verwendet werden, um den BGA auszufächern und direkt auf GND oder Layer 3 zu wechseln. Das

alternativ könnte ein buried Via verwendet werden.

Bild 2 zeigt eine Alternative des Microstrip-Aufbaus (äußere Lagen). In diesem Fall wird Lage 1 nur für das Fanout zu Lage 2, GND oder Power verwendet. Die Lage 2 kann jedoch zum Highspeed-Routing von SERDES oder anderen Differenzsignalen verwendet werden. Es ist dicht mit der Lage 3 (GND-Fläche) gekoppelt und hat eine konstante Impedanz.

12-und mehr Lagen Designs

Ich könnte fortfahren und jede einzelne Lagenanzahl im Detail beschreiben, aber ich bin mir sicher, dass Sie die Idee schon jetzt verstanden haben. Bild 3 zeigt die Signal/Fläche-Konfiguration für 12-18 Schichten. Es gibt natürlich viele Variationen, die abhängig von der Anwendung verwendet werden könnten. Der iCD Stackup Planner verfügt über Standardstapelungen von 2-18 Ebenen, die vordefiniert sind, um Ihnen den Einstieg zu erleichtern. Bild 3 ist ähnlich wie Lee Ritchey's Lieblings-Aufbau. Dieser hat alle guten Attribute, die ich in dieser Serie beschrieben habe, obwohl 18 Lagen in einigen Fällen vielleicht übertrieben sind. Diese Grundkonfiguration könnte jedoch auf 14 oder 10 Lagen reduziert werden, indem Gruppen von zweifachen Stripline-Lagen entfernt werden.

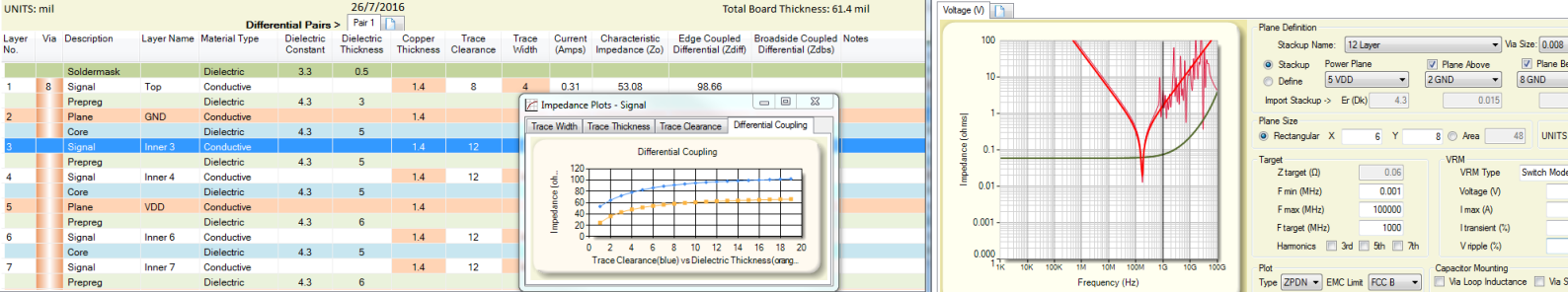
Seien Sie kreativ. Sie können mehr Lagen für Flächen, Single- oder Dual-Stripline-Routing-Lagen verwenden, sie aber symmetrisch halten und vor allem die Rückwege beobachten. Die Anzahl der Lagen wird immer um gerade Zahlen erhöht. Befolgen Sie also die Grundregeln, die ich in dieser Lagenaufbau-Serie

Layer No.	Via Span & Hole Diameter	Description	Layer Name	Material Type	Dielectric Constant	Dielectric Thickness	Copper Thickness	Trace Clearance	Trace Width	Current (Amps)	Characteristic Impedance (Zo)	Edge Coupled Differential (Zdiff)
		Soldermask		Dielectric	3.3	0.7						
1	8 4 8	Signal	Top	Conductive			2.2	10	5.5	0.55	70.13	121.81
		Prepreg		Dielectric	3.7	3.4						
2		Signal	Inner 2	Conductive			0.6	10	4.5	0.18	53.5	99.23
		Core		Dielectric	3.6	3						
3		Plane	GND	Conductive			0.6					
		Prepreg		Dielectric	3.5	3						
4		Plane	VDD	Conductive			0.6					

Bild 2: Buildup Microstrip layers.

PTH könnte verwendet werden, um die Signale zu den anderen Lagen zu transportieren, oder

dargelegt habe, und Sie können nichts falsch machen. Denken Sie daran, dass das Substrat



die wichtigste Komponente der Baugruppe ist, also machen wir es richtig!

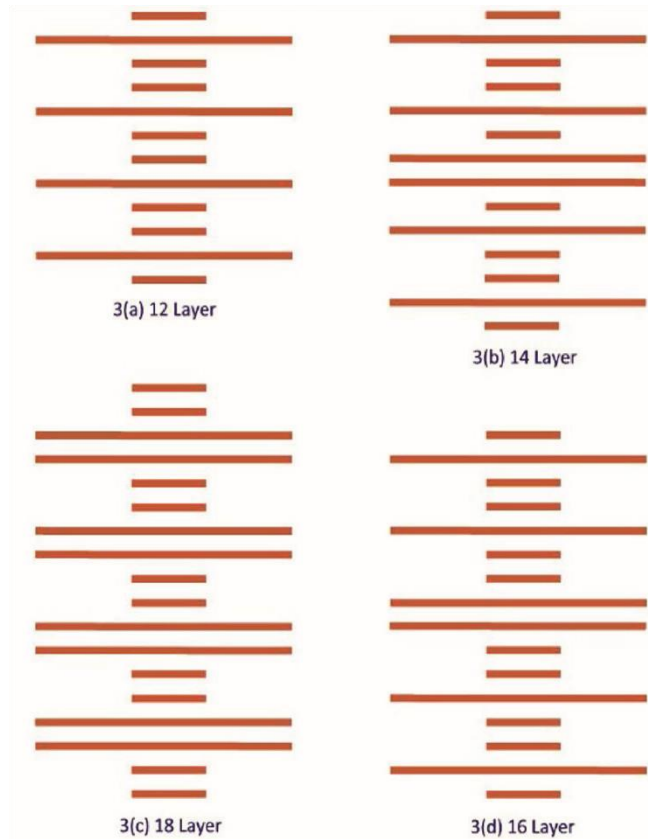


Bild 3: Stellt die Signal / Ebene-Konfiguration für 12-18 Schichten dar.

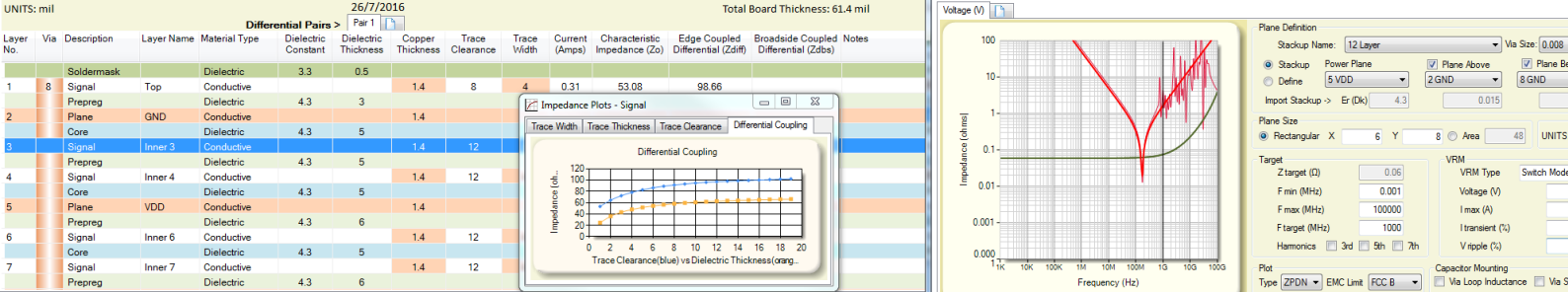
Denken Sie an diese Tipps, wenn Sie den Lagenaufbau planen:

- Um die Induktivität zu minimieren, sollten zwei Leiter (Signalleitungen oder Masseflächen), die Strom in der gleichen Richtung führen, getrennt werden.
- Zwei Leiter, die Strom in die entgegengesetzte Richtung leiten (z. B. Signal- und Masseflächen oder Versorgungs- und Masseflächen), sollten so nah wie möglich positioniert werden.
- Wenn Versorgungslagen als Referenzflächen verwendet werden, muss der Rückstrom durch Kondensatoren sein, um zwischen Masse- und Stromversorgungslagen zu wechseln.

- Verwenden Sie möglichst mehrere Masselagen anstelle von Versorgungslagen im Lagenaufbau, um Signallagen zu isolieren.
- Platzieren Sie die Ground-Vias in der Nähe jedes Signalvias, um einen kurzen Stromrücklaufpfad zu erhalten.
- Verteilen Sie zahlreiche Ground-Vias um die Platine herum, um die Masseflächen zu verbinden.
- Verwenden Sie keine Masse auf Signallagen, da dies die Impedanz von in der Nähe befindlichen Leiterbahnen verringert.
- Um die Anzahl der Lagen zu bestimmen, beginnen Sie mit dem Leiterbahnrastrer. Technologieregeln basieren auf dem minimalen Raster der verwendeten SMD-Komponenten und sind im Grunde die größte erlaubte Leiterbahnbreite, Abstand und Via. Berechnen Sie dann den für die gewünschte Kennlinie und die differentiellen Impedanzen erforderlichen Aufbau.
- Ein 10-Lagen-Board ähnelt einem 8-Lagen-Board mit zwei zusätzlichen eingebetteten Signallagen. Diese werden verwendet, um die Routingfähigkeit zu erhöhen und eine planare Kapazität hinzuzufügen.
- Die Methodik, die ich in den vorherigen Artikeln dargelegt habe, kann zum Aufbau von Platinen mit höherer Schichtanzahl verwendet werden.

Referenzen

1. Barry Olney Beyond Design columns: Material Selection for SERDES Design, Material Selection for Digital Design, The Perfect Stackup for High-Speed Design, and Embedded Signal Routing.
2. Henry Ott: Electromagnetic Compatibility Engineering.
3. Lee Ritchey, Right First Time Design.
4. Howard Johnson, High-Speed Digital Design
5. To download the ICD Design Integrity, visit www.icd.com.au.



Autor

Barry Olney ist Geschäftsführer von In-Circuit Design Pty Ltd, Australien. Die Firma entwickelt die iCD Design Integrity Software, die die Stackup Planner und die ICD PDN Planner Module beinhaltet, ist ein Service Büro und spezialisiert auf die Board Level Simulation.

